

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-104170

(43)Date of publication of application : 15.06.1984

(51)Int.Cl.

H01L 29/78
// H01L 27/12

(21)Application number : 57-214467

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 06.12.1982

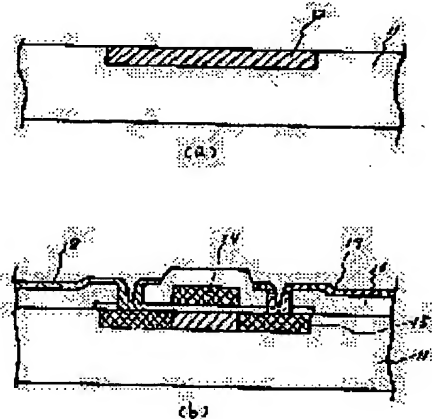
(72)Inventor : MIYAZAWA WAKAO

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To reduce the irregular surface by burying a channel part, a source part and a drain part or gate wirings in a substrate.

CONSTITUTION: A channel part, a source part and a drain part are etched and removed by a photolithographic technique on a glass substrate 11, thereby forming a groove. When the surface is mechanically polished with oxidized silicon powder or silicon powder after a polycrystalline film 12 is then formed on the overall surface, the polycrystalline silicon film is formed in the desired pattern, and the surface of the substrate is simultaneously flattened. Then, the surface is oxidized, a film 14 to become a gate electrode is formed, a source and drain diffused layer 15 is then formed by an ion implantation method, an interlayer insulating film 16 is then formed, and a contact hole is further opened. Then, oxidized tin film or oxidized tin and oxidized indium alloy film to become a source wiring and a transparent electrode are formed on the entire surface, and then patterned.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—104170

⑤ Int. Cl.³
H 01 L 29/78
// H 01 L 27/12

識別記号

庁内整理番号
7377—5F
8122—5F

⑬ 公開 昭和59年(1984)6月15日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 薄膜トランジスタ

⑯ 特 願 昭57—214467
⑰ 出 願 昭57(1982)12月6日
⑱ 発 明 者 宮沢和加雄

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎
東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

明 細 書

発明の名称

薄膜トランジスタ

特許請求の範囲

(1) ガラスあるいはセラミックス等の絶縁性基板上に形成する薄膜トランジスタにおいて、該薄膜トランジスタのチャンネル部、ソース部およびドレイン部、あるいはゲート配線は、前記絶縁基板内に埋め込まれている事を特徴とする薄膜トランジスタ。

発明の詳細な説明

本発明は、薄膜トランジスタを形成する絶縁基板上の平坦化に関する。

本発明は半導体薄膜及びゲート配線材料として多結晶シリコン膜を用いて説明するが、他の半導体薄膜及びゲート配線材料にも適用する。

薄膜トランジスタは、高価なシリコン基板上に

形成する半導体素子に比べ、比較的安価な絶縁基板上に形成できると共に、プロセスコストも安価にできる利点を持っている。

特に透明基板上に薄膜トランジスタアレイを形成し、液晶ディスプレイを構成したフラットパネル等では、裏面に反射率の良い反射板をセットする事により、コントラストの良い表示を得ることができる。

第1図を用いて従来の薄膜トランジスタの構造を示し、その欠点を述べる。

ガラス基板1上に多結晶シリコン膜の島2を形成したのち、表面を酸化し、ゲート電極となる多結晶シリコン膜4を形成する。次にイオン打込み法により、ソース、ドレイン拡散層5を形成したのちに層間絶縁膜6を形成し、さらにコンタクトホールを開口する。次にソース配線及び透明電極となる酸化スズ膜あるいは酸化スズと酸化インジウムの合金(ITO膜)を全面に形成したのちにパターニングを行なったものを第1図に示す。

通常、トランジスタ部の多結晶シリコン膜及び

ゲート配線用多結晶シリコン膜の厚みはそれぞれ $0.5\mu m$ 程度であり、透明電極用酸化スズ膜は $0.2\mu m$ 程である。又、フィールド部にはゲート酸化膜が形成されないため、表面の凹凸の差は最大 $1.0\mu m$ にも達する。この様にして形成した薄膜トランジスタを用いて、液晶ディスプレイを構成した場合には、ギャップ材が、凸部にのった場合は他の部分との高低差が $1.0\mu m$ 生ずる為、 $20\sim 25\%$ のギャップムラが生じ、表示品質に悪影響を与える。

又、液晶の配向処理も高い部分が優先的に行なわれ、その部分の近くは、配向処理が充分行なわれない為、液晶の配向不良箇所が生じ、表示品質の低下につながる。

本発明は、この様な従来の欠点を除去したものであり、その目的とするところは、チャンネル部・ソース部およびドレイン部、あるいはゲート配線を、基板内部に埋め込む事により、表面の凹凸をできるだけ少なくした薄膜トランジスタを提供することである。

(a)

部およびドレイン部表面が基板表面と同一になる為、ゲート電極分($0.5\mu m$)だけが高くなるだけであり、凹凸の最大差は $0.5\mu m$ となり、従来の構造の凹凸の最大差の $1.0\mu m$ の半分となり、表面の凹凸が少なくなる。

この結果、前配方法で形成した薄膜トランジスタを用いて、液晶ディスプレイを構成した場合には、ギャップムラは従来の半分となり、表示品質の向上につながった。さらに、液晶の配向処理も高低差が少なくなった事により、配向処理不良箇所が従来に比べ半分以下になり、配向処理不良も少なくなった。

次に第3図(a)(b)を用いて、本発明の第2の実施例を示す。

ガラス基板21にホトリソグラフィ技術によりゲート配線部をエッチング除去し、溝を形成する次に多結晶シリコン膜を全面に形成したのちに、表面を酸化シリコン粉末あるいはシリコン粉末を用いて、機械的に研磨すれば、多結晶シリコン膜は、所望のパターンに形成されると同時に基板

(b)

以下第2図、第3図を用いて、本発明の実施例を説明する。

第2図(a)、(b)により本発明の第1の実施例を説明する。

ガラス基板11にホトリソグラフィ技術によりチャンネル部、ソース部およびドレイン部分をエッチング除去し、溝を形成する。次に多結晶シリコン膜を全面に形成したのちに、表面を酸化シリコンの粉末あるいはシリコンの粉末を用いて、機械的に研磨すれば、多結晶シリコン膜は、所望のパターンに形成されると同時に基板表面が平坦化され、第2図(a)のようになる。次に表面を酸化し、ゲート電極となる多結晶シリコン膜14を形成したのちに、イオン打込み法により、ソース・ドレイン拡散層15を形成したのちに、層間絶縁膜16を形成し、さらにコンタクトホールを開く。次にソース配線及び透明電極となる酸化スズ膜あるいはITO膜を全面に形成したのちに、パターニングを行なったものを第2図(b)に示す。この構造によれば、チャンネル部・ソース

(c)

表面が平坦化され、第3図(a)のようになる。次に表面を酸化し、チャンネル部・ソース部およびドレイン部となる多結晶シリコン膜を全面に形成したのちに、レジスト膜を形成し、レジスト膜をマスクにイオン打込み法により、ソース・ドレイン拡散層25を形成する。次に層間絶縁膜26を形成し、コンタクトホールを開き、ソース配線、及び透明電極となる酸化スズ膜あるいはITO膜を全面に形成したのちに、パターニングを行なったものを第3図(b)に示す。多結晶シリコン膜のゲート配線を基板内に埋め込むことにより、第1の実施例と同じ効果が得られ、表示品質を向上できる構造が得られる。

以上述べた如く、本発明によれば、薄膜トランジスタの素子の一部を基板内部に埋め込むことにより種々の効果を有する薄膜トランジスタを提供する事ができる。

図面の簡単な説明

第1図は従来の薄膜トランジスタの断面形状図

(d)

である。1はガラス基板、2は多結晶シリコン膜、3はシリコン酸化膜、4はゲート電極、5はソース・ドレイン拡散層、6は層間絶縁膜、7はソース配線、8はドレイン電極。

第2図は本発明による第1の実施例を示す。

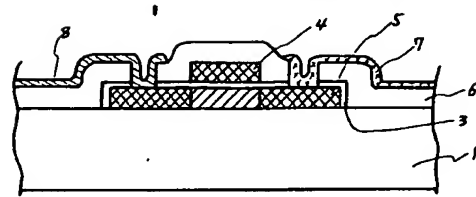
11はガラス基板、12は多結晶シリコン膜、13はシリコン酸化膜、14はゲート電極、15はソース・ドレイン拡散層、16は層間絶縁膜、17はソース配線、18はドレイン電極。

第3図は本発明による第2の実施例を示す。

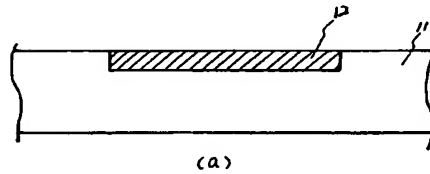
21はガラス基板、22は多結晶シリコン膜、23はシリコン酸化膜、24はゲート電極、25はソース・ドレイン拡散層、26は層間絶縁膜、27はソース配線、28はドレイン電極。

以上

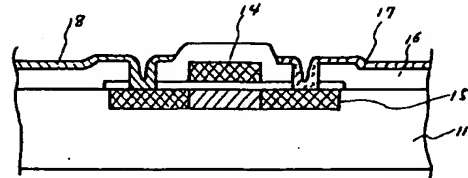
出願人 株式会社諏訪精工舎
代理人 弁理士 最上 務



第1図

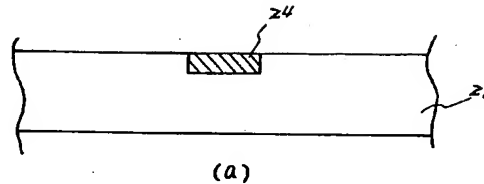


(a)

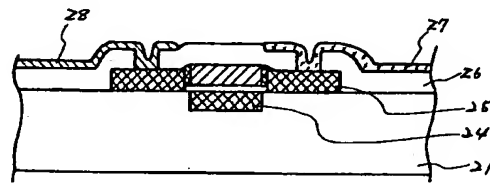


(b)

第2図



(a)



(b)

第3図